

47
CLIPPEDIMAGE= JP401106456A
PAT-NO: JP401106456A
DOCUMENT-IDENTIFIER: JP 01106456 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: April 24, 1989

INVENTOR-INFORMATION:

NAME
KURODA, HIROSHI
TAKASE, YOSHIHISA

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP62263435

APPL-DATE: October 19, 1987

INT-CL (IPC): H01L023/50; H01L023/28

US-CL-CURRENT: 257/666,257/787

ABSTRACT:

PURPOSE: To make an electrode terminal not to come off due to external force and thermal strain by providing the end surface of a lead frame substrate with a stair part having more than one step and performing molding with sealing resin in a shape of covering the stair part.

CONSTITUTION: An IC chip 16 is mounted on the other main surface 14 of a die pad 11, and a pad of the IC chip and the other main surface 14 of an electrode terminal 12 are bonded with a wire 17 so as to be continuously molded with sealing resin 18 on the almost level with one main surface 13 by a transfer method so that the electrode terminal and the main surface 13 of the die pad 11 may be exposed. At this time, a stair part 15 provided on a lead frame 20 is also covered with sealing resin 18. Thereby, a reinforcing bar 19 exposed to an end surface of sealing resin 18 is also of the same projection type so as to have very strong structure against coming-off even to external force.

①日本国 許序 (JP) ②特許出願
③公開特許公報 (A) 平1-10

④Int.Cl.
H 01 L 23/50
23/28

識別記号 廈内整理号
G-7735-5F
A-6835-5F

⑤公開 平成1年(1999)
審査請求 未請求 発明の数 1

⑥発明の名称 半導体集積回路装置

⑦特願 昭62-263435
⑧出願 昭62(1987)10月19日

⑨発明者 黒田 啓 大阪府門真市大字門真1006番地
松下電器産業
⑩発明者 高瀬 審久 大阪府門真市大字門真1006番地
松下電器産業
⑪出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑫代理人 弁理士 中尾・飯男 外1名

明　　細　　書

1、発明の名称

半導体集積回路装置

2、特許請求の範囲

複数の電極端子を有するリードフレームの一主面の面積が、他の主面より狭く、このリードフレームの断面形状は少なくとも1段以上の段差を持つ段差部を有するものであり、半導体集積回路は他の主面にマウントされ、少なくとも電極端子の一主面を露出した形で一主面とはほぼ平滑に封止樹脂が成形されている半導体集積回路装置。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路をパッケージした半導体集積回路装置に関するものである。

従来の技術

ポータブルな情報ファイルとしてのICカードはカードの一端にメモリ、マイクロプロセッサを有する半導体集積回路装置を埋込んで、リードフレームを介して情報を書き込み、読み出し、消去

する演算機能を持っているが、IC規格カード厚みは最大0.84ミリとされており半導体集積回路装置は更に薄くしかも厚み強く要求される。

当初半導体集積回路装置の基板はガラスシートを基体とする両面基板が主流であったが、エポキシ基板ではICカード用半導体集積回路に要求する厚み精度を十分に満足させではなかった。

そこでガラスエポキシ基板の代りに厚みよく半導体集積回路装置の既厚の厚み精度させられるリードフレームを基板とするIC用半導体集積回路装置が提案された。このカード用半導体集積回路装置の構造を以下に説明する。

複数本の電極端子1とダイパッド2をリードフレーム3の上記ダイパッド2にIC4がマウントされ、上記ICチップ4のパチ（図示せず）と上記電極端子1がワイヤーバンドで接続され、少なくとも上記電極端子1の

らを露出した形で、しかも上記一主面①とはほぼ平坦に封止樹脂⑥がトランスファ成形法により成形された造となっている。

ところが上記電極端子①の上記一主面①は外部に露出し、上記電極端子①の薄い側面を含む片面しか上記封止樹脂⑥を接触していない。通常トランスファ成形法で成形する上記封止樹脂⑥中には成形金型との離形性をよくするために、離形剤が入れられていることから、当然上記電極端子①と上記封止樹脂⑥との密着性は悪いものではない。この問題点を解決する方法として、上記封止樹脂⑥と接触する他の主面②を粗面化したり、上記電極端子①の一主面①の面積を他の主面②の面積より狭くして(エッジにテーパをつけ合形形状とする)密着性の向上を図っている。

発明が解決しようとする問題点

このような半導体集積回路装置に用いるリードフレーム⑧の厚味は、半導体集積回路装置に較厚の制限があることから0.15ミリ以下が通常用いられる。ところが封止樹脂⑥とリードフレーム⑧

なる。この状態でカード化しカードの端部中あるいは使用中に何らかの異物が切断面にできた pari、あるいは電極端子自身にひっかかり電極端子をはがしてしまった可能性がある。このように電極端子がはがれたり、変形するとICカードとしての機能が全く失なわれることになる。

本発明は上記問題点を鑑み、外的な力、熱ひずみ等に対しても電極端子がはがれず使用不能にならないようなりードフレームの構造を提供するものである。

問題点を解決するための手段

そして上記問題点を解決する本発明の技術的手段は、リードフレームの一主面の面積を他の主面より狭くし断面形状を凸型として一主面とほぼ平坦に封止樹脂を成形し、リードフレームの端面を所定の距離、厚さでは金刃にわたって封止樹脂で覆うように構成したものである。

作用

この構成により電極端子のほぼ全刃が封止樹脂でシールされていることから、電極端子を剥す外因

の他の主面②との密着性を強化するために、リードフレーム⑧の断面をテーパ加工し、わずかに封止樹脂⑥でリードフレーム⑧を覆う形としているが、リードフレーム⑧の厚味が0.15ミリと非常に薄いため、封止樹脂⑥でリードフレーム⑧の端面を一部覆う形とした場合でもせいぜい厚味分の0.15ミリ程度しか覆うことができず、端面にテーパをつけても封止樹脂⑥に対するリードフレーム⑧の密着強度を著しく向上させることはできなかった。また前にも述べたが封止樹脂⑥には離形剤が入っているため、リードフレーム⑧との密着性が悪く、例えば熱衝撃試験を行った時に発生する熱的ひずみによりリードフレーム⑧が剥れる可能性も生じてくる。更にトランスファ成形後リードフレーム⑧の補強バーを封止樹脂⑥の端面に沿ってほぼ平坦に金型にて切断して個片の半導体集積回路装置にするわけであるが、補強バーの切断面は金型で切断する際、わずかな pari が発生することと、完全に封止樹脂⑥の端面と平坦にすることは不可能で、わずかに切断面が突き出る形と

からの力が加わらず、また熱衝撃試験等による熱ひずみに対しても電極端子が剥れることがないため信頼性の高い半導体集積回路装置を作ることが可能となる。

実施例

以下本発明の一実施例について図面を用いながら説明する。第2図①, ②は本発明に用いたリードフレームの構造を示す。第2図①は上面図、第2図②はA-A'をみた断面図である。ダイパッド⑨、複数本の電極端子①, 2で構成されており、上記ダイパッド⑨及び上記電極端子①, 2の外部に露出する一主面①, 3の面積は他の主面②より狭く、少なくとも封止樹脂で覆われる部分のリードフレーム⑧の断面は凸型の段差部⑤が設けられている。ちなみにリードフレーム⑧の肉厚が0.15ミリの場合上記段差部⑤の厚さは0.6ミリ、Dは0.1ミリとした。上記段差部⑤の断面形状は段差が1段のみならず複数段形成されてもかまわない。以上はダイパッド⑨が複数本の電極端子①, 2の少なくとも1本と複数されてい

る構造のリードフレームである。このリードフレーム20の作製方法は一実施例として、まずプレス板でストレートにパンチングした後抜いて別の金型を用い同じくプレスによりリードフレーム20の端面のみをプレスし所定の量だけ段差部16を作った。他の方針としてエッティングによる方法でも同様の段差部16を作ることは可能である。以上の説明はICチップを搭載するダイバット11を有するリードフレーム20であるが、ダイバット11のない電極端子12のみのリードフレームでもかまわない。

以上述べた段付きリードフレーム20を用いた半導体集積回路装置の製造プロセスを第3図a～cに示す。これは第2図のA-A'の断面を表わすものである。ダイバット11の他の主面14にICチップ16をマウントし、上記ICチップ16のパッド(図示せず)と上記電極端子12の他の主面14をワイヤ17で接続し(第3図a)、既にトランスマスク成形法にて上記電極端子12、及びダイバット11の一主面13を露出させるこ

のではなく、パンプを利用したフリップチップポンディング方式でもかまわない。また同時にリードフレーム20の他の主面側をエッティング、サンドブラストメッキ法等で粗面化処理が施こされていても良い。更にダイバット11が無くICチップ16が電極端子12にかかるようなリードフレーム20を用いる場合はICチップ16をマウントするダイボンド側面は絶縁性であることはいうまでもない。

発明の効果

本発明の半導体集積回路装置はリードフレーム基板の端面に1段以上の段差部を設け、段差部を複数形で封止樹脂にて成形しているため、外的な力にも電極端子は割れにくく、熱衝撃試験等の熱ひずみに対しても、電極端子ははがれないことから、信頼性の高いものを得ることが可能となる。

4. 図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例における電極端子部の拡大断面図、第2図a～cは本発明に用いたリードフレームの構造を示す

とく、上記一主面13とはほぼ平坦に封止樹脂18で埋没する(第3図a)。この時リードフレーム20に設けられた段差部16も上記封止樹脂18で覆われる形となる。更に金型を用いて上記封止樹脂18の端面に沿って補強バー19を切断して側片の半導体集積回路装置とする(第3図c)。以上のべた半導体集積回路装置の電極端子部の大図を第1図に示す。この第1図によれば電極端子12の一主面と封止樹脂18はほぼ平坦に成形されており、封止樹脂18に埋没した電極端子12の一部は、露出している一主面より広がっている構造となっている。このことは、電極端子12の端面に形成されている段差部16を完全に封止樹脂18が覆っていることになり、封止樹脂18の端面に露出している補強バー19も同様の凸型であることから外的な力に対しても非常に割れに強い構造となっている。

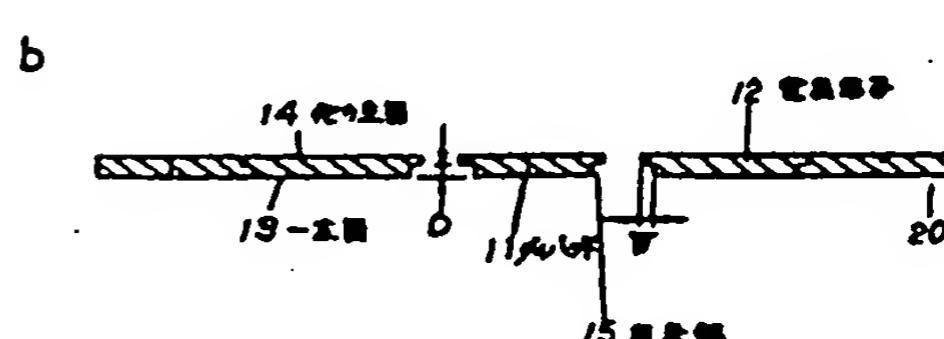
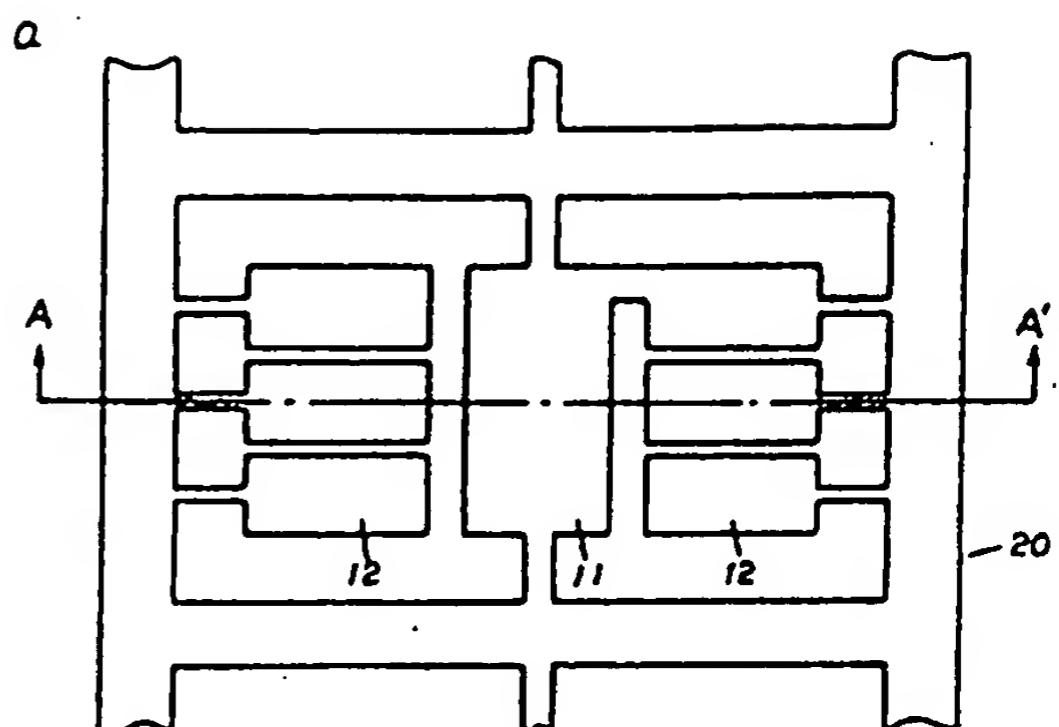
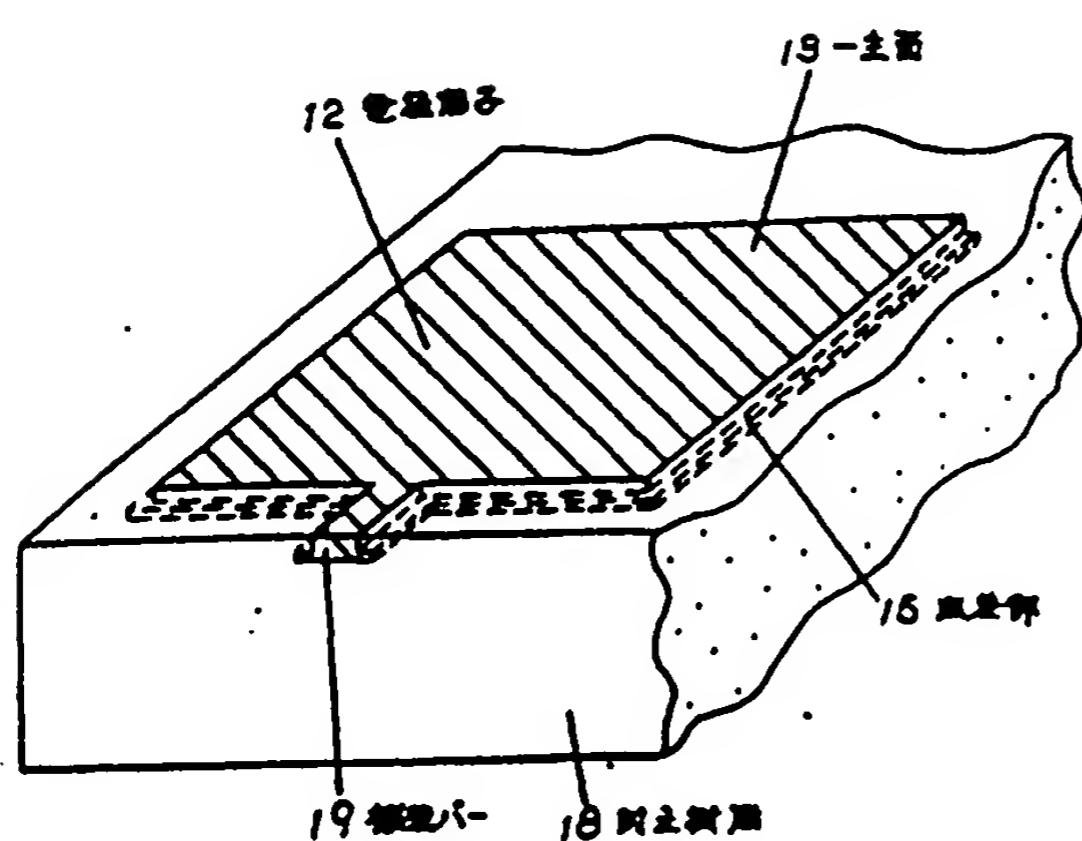
以上述べてきた実施例の中でICチップ16のパッドと電極端子12の接続にワイヤ17を用いているが、ワイヤーボンディング法に限定するも

上面図と断面図、第3図a～cは本発明の半導体集積回路装置の製造フローを示す断面図、第4図は従来のリードフレームを用いた半導体集積回路装置の構造を示す断面図である。

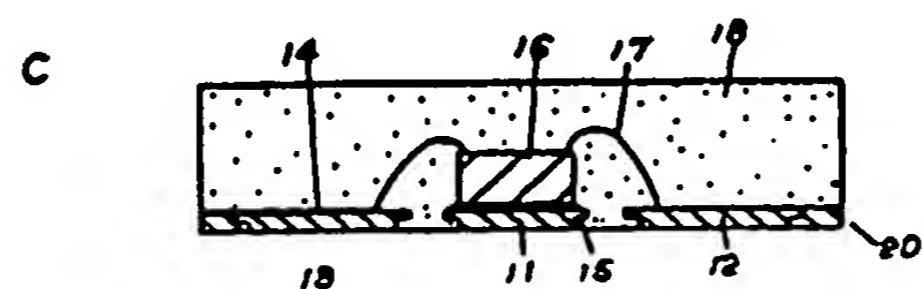
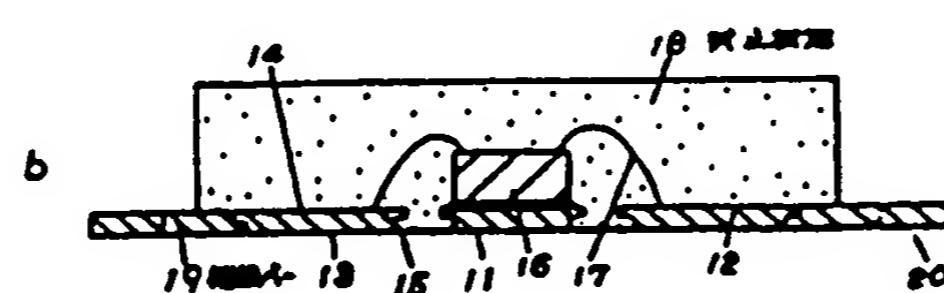
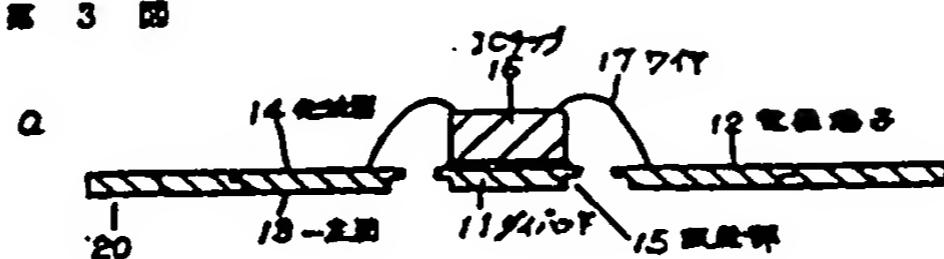
12……電極端子、13……一主面、14……他の主面、16……段差部、18……ICチップ、17……ワイヤ、19……封止樹脂、20……補強バー、20……リードフレーム。

代理人の氏名弁理士中尾敏男ほか1名

第1圖



第3圖



第4圖

